

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP8316438
Publication date: 1996-11-29
Inventor(s): ARAKI HITOSHI
Applicant(s):: TOSHIBA CORP
Requested Patent: ☐ JP8316438
Application Number: JP19950115440 19950515
Priority Number(s):
IPC Classification: H01L27/115
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent threshold rise of '1' cell and data inversion in long time read by installing a tunnel oxide film for write/erase and a read-only oxide film in a memory cell.

CONSTITUTION: A plurality of memory cells controlled by control gate electrodes CG1-CG8 are connected in series. Selection transistors SGd, SGs are arranged on the series connection end portions, i.e., the drain D side and the source S side. The memory cells connected in series are arranged in parallel, and floating gates under common control gates are made common. One series connection memory cell group out of NAND type memory cells connected in parallel is formed of a tunnel oxide film in order to be operated exclusively for write/erase. The other series connection memory cell group is formed of a read oxide film, in order to be operated exclusively for read. The tunnel oxide film is an oxide film thinner than the read oxide film.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-316438

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl.⁶

H 0 1 L 27/115

識別記号

庁内整理番号

F I

H 0 1 L 27/10

技術表示箇所

4 3 4

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21)出願番号

特願平7-115440

(22)出願日

平成7年(1995)5月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 荒木 仁

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

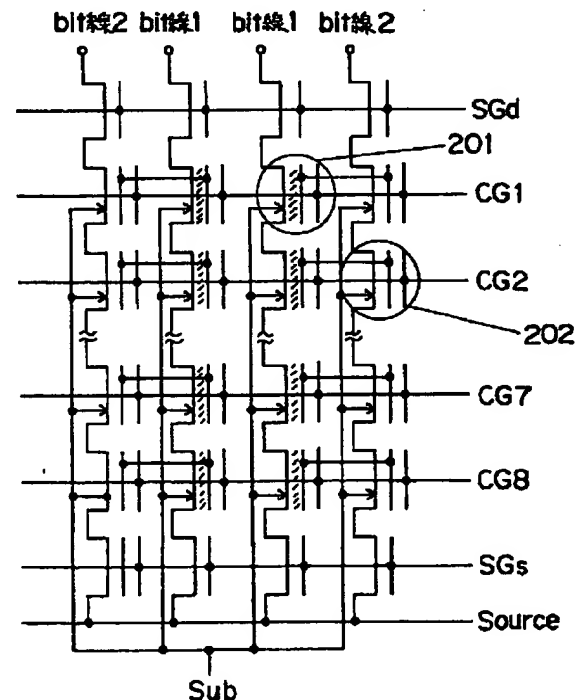
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【構成】 本発明の不揮発性半導体記憶装置は、ワード線方向に近接する二つのNAND型EEPROMセル201、202を一組とし、その浮遊ゲートを接続し、一方のNAND型セルを書き込み・消去用、もう一方を読み出し用としている。

【効果】 本発明を用いることにより、リードディスタープ特性を向上させることができ、かつ、カップリング比を上げられるため、書き込み・消去に高電圧が不要で、周辺回路を小さくすることができる。



【特許請求の範囲】

【請求項1】 第一導電型半導体基板上に、素子分離領域と、前記半導体基板上にゲート絶縁膜を介して制御ゲート電極と、前記制御ゲートを挟んでソース及びドレイン拡散層となる第二導電型の拡散層と前記制御ゲート電極と前記ゲート絶縁膜との間に電荷蓄積領域を設けてなるMOS型電界効果トランジスタを複数個直列に接続した電氣的書き込み消去可能な不揮発性半導体記憶装置において、前記MOS型電界効果トランジスタは、素子分離領域を挟んで近接し電荷蓄積領域を共有する第一、第二の2つのトランジスタを1つのメモリセル単位とし、前記複数個直列に接続されたトランジスタの一方の端に前記素子分離領域を挟んでビット線となるドレインコンタクトとそれに接続される配線層をそれぞれ1つずつ有し、前記複数個直列接続された第一のトランジスタ群に接続されたビット線を第一ビット線、前記複数個直列接続された第二のトランジスタ群に接続されたビット線を第二ビット線とすると、前記第一のトランジスタ群と前記第二のトランジスタ群のゲート絶縁膜の膜厚が異なることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記第一のトランジスタ群のゲート絶縁膜が前記第二のトランジスタ群のゲート絶縁膜より薄い場合、前記第一のトランジスタ群は電荷蓄積領域に電荷を注入放出を行うトランジスタ、前記第二のトランジスタ群は読み出しを行うトランジスタとして機能することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記第一のビット線はデータ読み出し時に読み出し電圧または、読み出し電圧より低い電圧が印加されることを特徴とする請求項1、2記載の不揮発性半導体記憶装置。

【請求項4】 第一導電型半導体基板上に、素子分離領域と、前記半導体基板上にゲート絶縁膜を介して制御ゲート電極と、前記制御ゲート電極を挟んでソース及びドレイン拡散層となる第二導電型の拡散層と前記制御ゲートと上記ゲート絶縁膜との間に電荷蓄積領域を設けてなるMOS型電界効果トランジスタを複数個直列に接続した電氣的書き込み消去可能な不揮発性半導体記憶装置において、前記MOS型電界効果トランジスタは、素子分離領域を挟んで近接し電荷蓄積領域を共有する第一、第二の2つのトランジスタを1つのメモリセル単位とし、前記複数個直列に接続されたトランジスタの一方の端に前記素子分離領域を挟んでビット線となるドレインコンタクトとそれに接続される配線層をそれぞれ1つずつ有し、前記複数個直列接続された第一のトランジスタ群に接続されたビット線を第一ビット線、前記複数個直列接続された第二のトランジスタ群に接続されたビット線を第二ビット線とすると、前記第一のトランジスタ群と前記第二のトランジスタ群のゲート絶縁膜の誘電率が異なることを特徴とする不揮発性半導体記憶装置。

【請求項5】 前記第一のトランジスタ群のゲート絶縁

膜の誘電率が前記第二のトランジスタ群のゲート絶縁膜の誘電率より大きい場合、前記第一のトランジスタ群は電荷蓄積領域に電荷を注入放出を行うトランジスタ、前記第二のトランジスタ群は読み出しを行うトランジスタとして機能することを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項6】 前記第一のビット線はデータ読み出し時に読み出し電圧または、読み出し電圧より低い電圧が印加されることを特徴とする請求項4、5記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的書き込み消去可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 電氣的書き込み消去可能な不揮発性半導体記憶装置には、フラッシュメモリ技術ハンドブック（株式会社サイエンスフォーラム発行）等に記述されているETOX型Flash EEPROM、Seeq型Flash EEPROM、MNOS型EEPROM、選択トランジスタを有する2トランジスタ構成のFLOTOX型EEPROMあるいはメモリセルを複数個直列接続したNAND型EEPROM等がある。何れにしても制御ゲートと半導体基板の間に電荷蓄積領域（主にポリシリコンで形成された浮遊ゲート電極、MNOS型は窒化シリコン膜）を有し、その電荷蓄積領域に対し制御ゲート電極と基板、ソース、ドレイン拡散層との間に電氣的にバイアスを与えることにより電子を注入あるいは放出させメモリセルのしきい値を変化させデータの書換を行っている。

【0003】 図6は従来の浮遊ゲート電極を有するNAND型EEPROMのメモリセルを一部抜き出して示す等価回路図である。制御ゲート電極11（図中ではCG1～CG8）で制御されるメモリセルが複数個直列接続され、この直列接続端部、すなわちドレインD側とソースS側にそれぞれ選択トランジスタSGd（12）、SGs（13）を配置する構成になっている。図7はこのメモリセルにおける消去、書き込み、読み出し動作時に各所に印加される電圧例を示す図である。

【0004】 データの消去はビット線BLとソースSをオープン、制御ゲートCG、選択ゲートSGd、SGsを全て0Vにして、基板Wに消去電圧V_{ppe}を例えば20V印加することにより、浮遊ゲート電極から、基板Subへトンネル酸化膜を介してF-N（Fowler-Nordheim）電流を流して電子を放出させ、全てのセルのしきい値を0V以下（すなわち、デプレッション化）にする。以下このセルデータの状態を“1”と呼ぶ。

【0005】 データの書き込み制御ゲートCGのうち選択されたセルの制御ゲートには書き込み電圧V_{ppw}を例えば20V印加、選択されない非選択セルの制御ゲートには0VとV_{ppw}の中間電位V_M、例えば10Vを印加

する。この状態で選択セルのデータを“0”（セルのしきい値が0V以上、すなわちエンハンスメント化）にする場合、ビット線BLには0Vを印加する。この状態では選択セルの制御ゲート電極には V_{ppw} 、基板（チャネル）には0Vが供給されるので基板からF-N電流が流れ浮遊ゲート電極へ電子が注入される。非選択セルにはF-N電流を流さない程度の V_M が印加されるためデータの書き換えは起こらない。一方、選択セルに“1”データを書き込む場合（消去後のしきい値を保持する状態）、ビット線BLには V_M を印加する。この状態では

選択セルのチャネルには概中間電位が印加されるため、“1”データが維持される。“1”データ（ $V_{th} < 0V$ ）セルと“0”データ（ $V_{th} > 0V$ ）セルの静特性（ $V_g - I_d$ ）を図8に示す。
【0006】NAND型EEPROMの書き換え方法は以上述べた通りであるが、書き換えを繰り返した場合、以下の問題が発生する。すなわち、トンネル酸化膜を介してF-N電流を流すためそのストレスにより初期過程ではトンネル酸化膜中に正孔トラップが発生し、その後電子トラップが発生する。我々の実験によれば上記NA

$$C_{T0} = \epsilon \cdot \epsilon_0 \cdot W \cdot L / T_{T0}$$

$$C_{IP0} = \epsilon \cdot \epsilon_0 \cdot (W + 2W_i + 2T_{FG}) \cdot L / T_{IP0}$$

$$C.R. = C_{IP0} / (C_{T0} + C_{IP0})$$

ND型EEPROMを用いて書き換えを行った場合、電子トラップによるセルの挙動変化は“1”データのセルに現れ、図9に示す特性のように10万回の書き換え以

【0009】

【発明が解決しようとする課題】このように従来の技術では書き換え回数を増やしていった場合、トンネル酸化膜中に発生する電子トラップにより低電界リーク電流が流れ易くなり上記リーク電流により“1”セルのしきい値上昇が起こり、長時間の読み出し（読み出し回数が多い状態）ではデータ反転を起こしてしまう欠点があった。また、上述のように書き込み消去に高電圧を必要とするため周辺回路を高耐圧設計する必要があり、周辺回路面積の増大をきたしていた。

【0010】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、第一導電型半導体基板上に、素子分離領域と、半導体基板上にゲート絶縁膜を介して制御ゲート電極と、制御ゲート電極を挟んでソース及びドレイン拡散層となる第二導電型の拡散層と制御ゲート電極とゲート絶縁膜との間に電荷蓄積領域を設けてなるMOS型電界効果トランジスタを複数個直列に接続した電氣的書き込み消去可能な不揮発性半導体記憶装置において、MOS型電界効果トランジスタは、素子分離領域を挟んで近接

*降で顕著にみられた。これは、トンネル酸化膜に電子トラップが発生するための酸化膜中の電子により“1”セルの V_{th} が上昇してしまうためである。

【0007】この状態でのトンネル酸化膜は、低電界でのリーク電流（いわゆるStress-induced Leakage Current）が流れ易くなる。この状態のトンネル酸化膜を有する“1”セルを読み出し状態にした場合、上記リーク電流によりしきい値上昇が起こり、長時間の読み出し（読み出し回数が多い状態）ではデータ反転を起こしてしまう。

【0008】また、このようなメモリセルを用いた場合、書き込み消去時にトンネル酸化膜にF-N電流を流さなければならないため、 V_{ppw} 、 V_{ppe} が高電圧になり周辺回路が大きくなってしまふ弊害があった。例えば、図10に示すメモリセルを用いた場合、チャネル幅 W を $0.5\mu m$ 、トンネル酸化膜厚 T_{T0} を $10nm$ 、浮遊ゲート膜厚 T_{FG} を $200\mu m$ 、浮遊ゲート制御ゲート間絶縁膜（以下Inter-poly絶縁膜と呼ぶ）厚 T_{IP0} を $17nm$ 、浮遊ゲート素子分離領域オーバーラップ W_i を $0.3\mu m$ 、制御ゲート長＝浮遊ゲート長＝ L とすると、トンネル酸化膜の静電容量 C_{T0} 、Inter-poly絶縁膜静電容量 C_{IP0} 、メモリセルのカップリング比 $C.R.$ は、

$$(1)$$

$$(2)$$

$$(3)$$

し電荷蓄積領域を共有する第一、第二の2つのトランジスタを1つのメモリセル単位とし、複数個直列に接続されたトランジスタの一方の端に素子分離領域を挟んでビット線となるドレインコンタクトとそれに接続される配線層をそれぞれ1つずつ有し、複数個直列接続された第一のトランジスタ群に接続されたビット線を第一ビット線、複数個直列接続された第二のトランジスタ群に接続されたビット線を第二ビット線とすると、第一のトランジスタ群と第二のトランジスタ群のゲート絶縁膜の膜厚が異なることを特徴とする。

【0011】また、第一のトランジスタ群のゲート絶縁膜が第二のトランジスタ群のゲート絶縁膜より薄い場合、第一のトランジスタ群は電荷蓄積領域に電荷を注入放出を行うトランジスタ、第二のトランジスタ群は読み出しを行うトランジスタとして機能することを特徴とする。

【0012】また、第一のビット線はデータ読み出し時に読み出し電圧または、読み出し電圧より低い電圧が印加されることを特徴とする。また、もう一つの発明の不揮発性半導体記憶装置は、第一導電型半導体基板上に、素子分離領域と、半導体基板上にゲート絶縁膜を介して制御ゲート電極と、制御ゲート電極を挟んでソース及びドレイン拡散層となる第二導電型の拡散層と制御ゲート電極とゲート絶縁膜との間に電荷蓄積領域を設けてなる

MOS型電界効果トランジスタを複数個直列に接続した電氣的書き込み消去可能な揮発性半導体記憶装置において、MOS型電界効果トランジスタは、素子分離領域を挟んで近接し電荷蓄積領域を共有する第一、第二の2つのトランジスタを1つのメモリセル単位とし、複数個直列に接続されたトランジスタの一方の端に素子分離領域を挟んでビット線となるドレインコンタクトとそれに接続される配線層をそれぞれ1つずつ有し、複数個直列接続された第一のトランジスタ群に接続されたビット線を第一ビット線、複数個直列接続された第二のトランジスタ群に接続されたビット線を第二ビット線とすると、第一のトランジスタ群と第二のトランジスタ群のゲート絶縁膜の誘電率が異なることを特徴とする。

【0013】また、第一のトランジスタ群のゲート絶縁膜の誘電率が第二のトランジスタ群のゲート絶縁膜の誘電率より大きい場合、第一のトランジスタ群は電荷蓄積領域に電荷を注入放出を行うトランジスタ、第二のトランジスタ群は読み出しを行うトランジスタとして機能することを特徴とする。また、第一のビット線はデータ読み出し時に読み出し電圧または、読み出し電圧より低い電圧が印加されることを特徴とする。

【0014】

【作用】本発明によれば1つのメモリセルに書き込み消去用トンネル酸化膜と読み出し専用酸化膜を具備するため、“1”セルのしきい値上昇が起こらず、長時間の読み出し（読み出し回数が多い状態）でデータ反転を起こしてしまうことがなくなる。

【0015】また、読み出し用絶縁膜を新たに設けることによりカップリング比を上げることが出来、すなわち書き込み消去に要する電圧を下げる事が出来、さらに読み出し電圧の低減も実現でき、従って周辺回路の面積縮小が可能になる。

【0016】

【実施例】以下、本発明の実施例を図面を参照して説明する図1は、本発明の一実施例のメモリセルの一部を抜き出した等価回路を示す。また、図2は上記等価回路を実現したメモリセルの制御ゲートと平行に取った断面図を示す。制御ゲート電極（図中ではCG1～CG8）で制御されるメモリセルが複数個直列接続され、この直列接続端部、すなわちドレインD側とソースS側にそれぞれ選択トランジスタSGd、SGsを配置する構成になっている。この直列接続されたメモリセルを並列に配置し、共通の制御ゲート下の浮遊ゲートは共通にしてい

$$CIP0 = \epsilon \cdot \epsilon 0 \cdot (2W + 2Wi + WField + 2TFG) \cdot L / TIP0 \quad (4)$$

従ってC. R. は

$$\begin{aligned} C. R. &= CIP0 / (CT0 + CIP0 + CR0) \\ &= [\epsilon \cdot \epsilon 0 \cdot (2W + 2Wi + WField + 2TFG) \cdot L / TIP0] / \\ &\quad [\epsilon \cdot \epsilon 0 \cdot W \cdot L / TT0 + \epsilon \cdot \epsilon 0 \cdot \\ &\quad (2W + 2Wi + WField + 2TFG) \\ &\quad \cdot L / TIP0 + \epsilon \cdot \epsilon 0 \cdot W \cdot L / TR0] \end{aligned}$$

る。並列接続されたNAND型メモリセルのうち一方の直列接続メモリセル群は書き込み消去専用動作させるためトンネル酸化膜で形成され、もう一方の直列接続メモリセル群は読み出し専用動作させるため読み出し酸化膜としている。本発明の一実施例においてはトンネル酸化膜は読み出し酸化膜より薄膜酸化膜となっている。選択トランジスタSGdのドレインにはビット線が接続され、書き込み消去専用メモリセル群に接続されたビット線をビット線1、読み出し専用メモリセル群に接続されたビット線を2と定義すると消去、書き込み、読み出しの各条件での印加電圧は図3のようになる。

【0017】すなわち、消去の場合、CGを0V、基板、SGd、SGsをVppeを印加し、ビット線1、2をopenにする。書き込みの場合、基板に0V、選択ゲートにVppw、非選択ゲートにVM、選択トランジスタSGdにVM、SGsに0Vを印加し、選択セルに“0”データを書き込む場合、ビット線1に0V、ビット線2には任意の電位（0V、Vppw、VM、openのいずれの電位でも良い）を印加する。この状態では、ビット線1に接続される選択セルの酸化膜を介してF-N電流が流れ、ビット線2側の酸化膜にはF-N電流は流れない。

“1”データを書き込む場合、ビット線1にVMを印加する。また、読み出しの場合、基板に0V、非選択ゲートにVcc、選択ゲートに0V、選択トランジスタSGd、SGsにVcc、ビット線1にはVccもしくはVcc以下の任意の電位Vcc1、ビット線2にはVccを印加し、ビット線2で読み出しを行う。

【0018】このような読み出し方式の場合、書き込み消去の際にF-Nストレスが印加され電子トラップが発生しているトンネル酸化膜にはStress-induced Leakage電流を生じるほどの電界は印加されないため、書き換え回数の多いセルにおいても読み出しを続けた場合のしきい値変動が抑制される。従来のNAND型EEPROMの100万回書き換え後の読み出しを繰り返した場合の“1”セルのしきい値変動と、本発明によるNAND型EEPROMのそれを比較したものを図4に示す。本発明によるもののしきい値変動は従来のものより1桁以上の改善がみられることがわかる。

【0019】また、本発明によるメモリセルによれば、カップリング比はビット線2に接続されるメモリセルの読み出し酸化膜の静電容量をCR0とすると、CIP0は次式で表され

$$= [(2W + 2W_i + W_{\text{field}} + 2T_{\text{FG}}) / T_{\text{IP0}}] / [W / T_{\text{T0}} + (2W + 2W_i + W_{\text{field}} + 2T_{\text{FG}}) / T_{\text{IP0}} + W / T_{\text{R0}}]$$

(5)

となり、図2の素子分離幅 $W_{\text{field}} = 1.0 \mu\text{m}$ 、読み出し酸化膜厚 $T_{\text{R0}} = 16 \text{ nm}$ とすると、 $C \cdot R = 0.685$ となる。この場合、従来例と同等の書き込み消去電界をトンネル酸化膜に印加する場合 V_{pp} は 17.5 V で済むことになり V_{pp} 電圧の低減につながり、従って周*

* 辺回路の縮小にも効果が得られる。

【0020】また、読み出し時には図5の様な等価回路となるため、Inter-poly絶縁膜に誘起されるチャージ Q_{IP0} 、トンネル酸化膜に誘起されるチャージ Q_{T0} 、読み出し酸化膜に誘起されるチャージ Q_{R0} はそれぞれ、

$$Q_{\text{IP0}} = C_{\text{IP0}} \cdot V_{\text{CC}} \quad (6)$$

$$Q_{\text{T0}} = C_{\text{T0}} \cdot V_{\text{CC1}} \quad (7)$$

$$Q_{\text{R0}} = C_{\text{R0}} \cdot V_{\text{FG}} \quad (\text{但し、} V_{\text{FG}} \text{ は浮遊ゲート電位}) \quad (8)$$

と表される。読み出し時には、

$$Q_{\text{R0}} = Q_{\text{IP0}} + Q_{\text{T0}} \quad (9)$$

が成り立つので (6) ~ (9) 式より

$$V_{\text{FG}} = (C_{\text{IP0}} \cdot V_{\text{CC}} + C_{\text{T0}} \cdot V_{\text{CC1}}) / C_{\text{R0}} \quad (10)$$

となり、 V_{CC1} に V_{FG} がつり上げられ、従って V_{CC} の低電圧化にもつながる。

【0021】以上一実施例を用いて本発明を説明してきたが上記実施例に限るものでなく、その趣旨を逸脱しない範囲で種々の応用が可能である。例えば、請求項4、5、6に記載のようにトンネル酸化膜と読み出し酸化膜の誘電率を変化させても同様の効果が得られる。

【0022】また、書き込み消去メモリセル群のチャネル部を第二導電型の拡散層にしても同様の効果が得られる。更に、本実施例においては浮遊ゲートをもつ NAND型EEPROMについて述べたが、それに限るものでなくとも良く、制御ゲート電極と基板の間に電荷蓄積層を有する不揮発性半導体記憶装置であれば何でも良く、例えば、MNOS、MONOSといった S_{in} を電荷蓄積層とするものでも良い。また、本実施例では NANDの直列セルを8個で説明しているが、幾つでも良く例えば16個の直列セルで構成しても良い。

【0023】

【発明の効果】上記発明によれば1つのメモリセルに書き込み消去用トンネル酸化膜と読み出し専用酸化膜を具備するため、“1”セルのしきい値上昇が起こらず、長時間の読み出し（読み出し回数が多い状態）でデータ反応を起こしてしまうことがなくなる。また、読み出し用絶縁膜を新たに設けることによりカップリング比を上げることが出来、すなわち書き込み消去に要する電圧を下げる事が出来、更に読み出し電圧の低減も実現でき、従って周辺回路の面積縮小が可能になる。

【図面の簡単な説明】

【図1】本発明による一実施例のNAND型EEPROMの一部を示す等価回路図である。

【図2】本発明による一実施例のNAND型EEPROMの一部を示す断面図である。

【図3】本発明による一実施例のNAND型EEPROMの動作電圧を示す一覧表である。

【図4】従来技術と本発明の一実施例での100万回書換

後のメモリセルのしきい値変動の読み出しサイクル依存性を示す図である。

【図5】本発明による一実施例のNAND型EEPROMのメモリセルを読み出す際の等価回路図である。

【図6】従来技術によるNAND型EEPROMの一部を示す等価回路図である。

【図7】従来技術によるNAND型EEPROMの動作電圧を示す一覧表である。

【図8】“1”、“0”セルのトランジスタ静特性を示す図である。

【図9】従来技術によるNAND型EEPROMの“1”“0”セルしきい値の書換回数依存性である。

【図10】従来技術によるNAND型EEPROMの一部を示す断面図である。

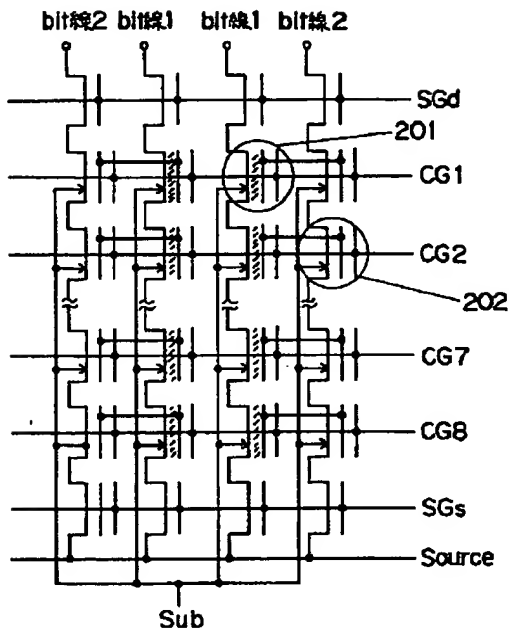
【符号の説明】

- 101 メモリセル
- 102 ドレイン側選択トランジスタ
- 103 ソース側選択トランジスタ
- 104 基板
- 105 素子分離領域
- 106 トンネル酸化膜
- 107 浮遊ゲート電極
- 108 制御ゲート電極-浮遊ゲート電極間絶縁膜
- 109 制御ゲート電極
- 201 書き込み消去用メモリセルトランジスタ
- 202 読み出し用メモリセルトランジスタ
- 203 基板
- 204 素子分離領域
- 205 読み出し用ゲート酸化膜
- 206 書き込み消去用トンネル酸化膜
- 207 浮遊ゲート電極
- 208 制御ゲート電極-浮遊ゲート電極間絶縁膜
- 209 制御ゲート電極
- 210 層間絶縁膜
- 211 ビット線2電極

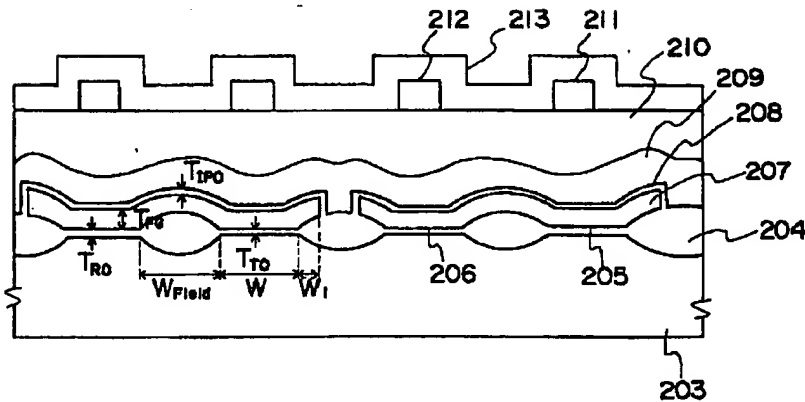
212 ビット線1電極

213 パッシベーション膜

【図1】



【図2】



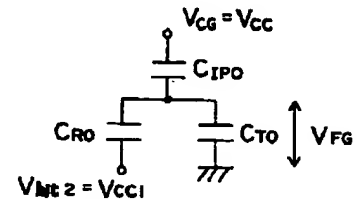
【図7】

	読み出し	消去	書き込み
BL	5V プリチャージ	OPEN	0'書き込み 0V 1'書き込み 10V
SGd	5V	20V	10V
CG	選択 0V 非選択 5V	0V	選択 20V 非選択 10V
SGs	5V	20V	0V
Sub	0V	20V	0V
S	0V	OPEN	0V

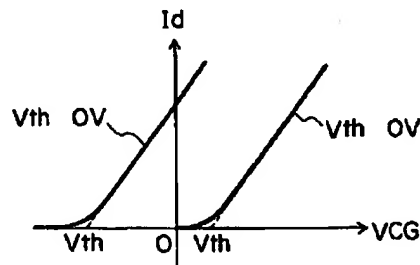
【図3】

	消去	0'書き込み	1'書き込み	読み出し
ビット線 1	open	0V	V_M	V_{CC1}
ビット線 2	open	0 or V_M or V_{PP}	0 or V_M or V_{PP}	V_{CC}
SGd	V_{ppe}	V_M	V_M	V_{CC}
選択セル	0V	V_{pp}	V_{pp}	0V
非選択セル		V_M	V_M	V_{CC}
SGs	V_{ppe}	0V	0V	V_{CC}
Sub	V_{ppe}	0V	0V	0V
Source	open	0V or open	0V or open	0V

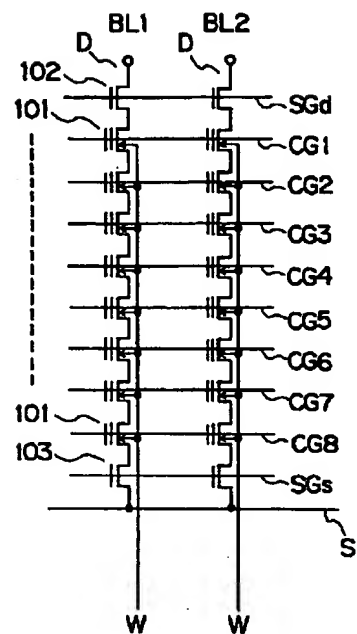
【図5】



【図8】



【图6】



【図 10】

